

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076120

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 21/82
G06T 1/20
G06T 15/00
H01L 27/04
H01L 21/822

(21)Application number : 2000-254441

(71)Applicant : SONY CORP

(22)Date of filing : 24.08.2000

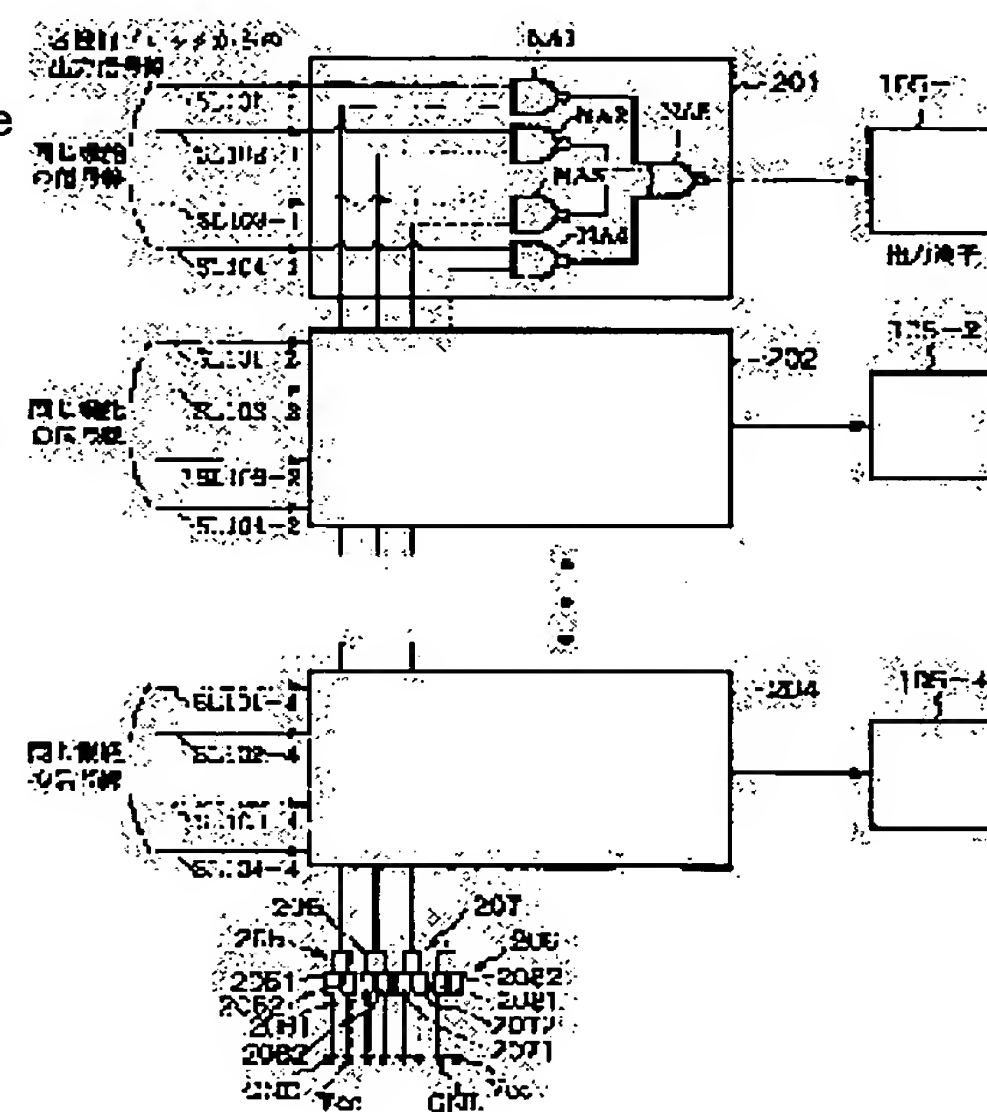
(72)Inventor : OMORI MUTSUHIRO
YAMAUCHI ETSURO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device where the theoretical yield how many chips are obtained from one wafer can be increased when the entire size of a chip is determined by the outer circumference of a pad that surrounds a semiconductor chip.

SOLUTION: A plurality of circuit blocks 101-104 with the same functions are arranged in one semiconductor chip 100, and selectors 201-204 for selecting a signal line from each circuit blocks 101-104 are arranged. As a result, when at least one circuit block in the chip 100 operates, even if other circuit blocks are failure, the chip can be non-defective.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(12) 公開特許 (A)

(11) 特許出願公開番号

(54) 【発明の名称】 半導体装置

特開2002-76120
(P2002-76120A)

(全15頁) (4)

審査請求 未請求 請求項の数 7

(43) 公開日 平成14年 3月15日 (2002. 3. 15)

(71) 出願人	ソニー株式会社 東京都品川区北品川 6 丁目 7 番 3 5 号	(51) Int. Cl. ⁷	識別記号
(72) 発明者	大森 陸弘, 山内 悦朗	H01L 21/82	
		G06T 1/20	
		15/00	100 300
(21) 出願番号	特願2000-254441 (P2000-254441)	H01L 27/04	※
(22) 出願日	平成12年 8月24日 (2000. 8. 24)	FI	
		G06T 1/20	Z
		15/00	100 A 300
(74) 代理人	弁理士 佐藤 隆久	H01L 21/82	R
			F ※
		テーマコード (参考)	
		5B057 5B080 5F038	※
		※最終頁に続く	

(57) 【要約】

【課題】 半導体チップのまわりを囲むパッドの外周によりチップ全体の大きさが決まってしまうような場合、一枚のウェハからチップを何枚とれるのかの理論的収率 (理収) を増加させることができる半導体装置を提供することにある。

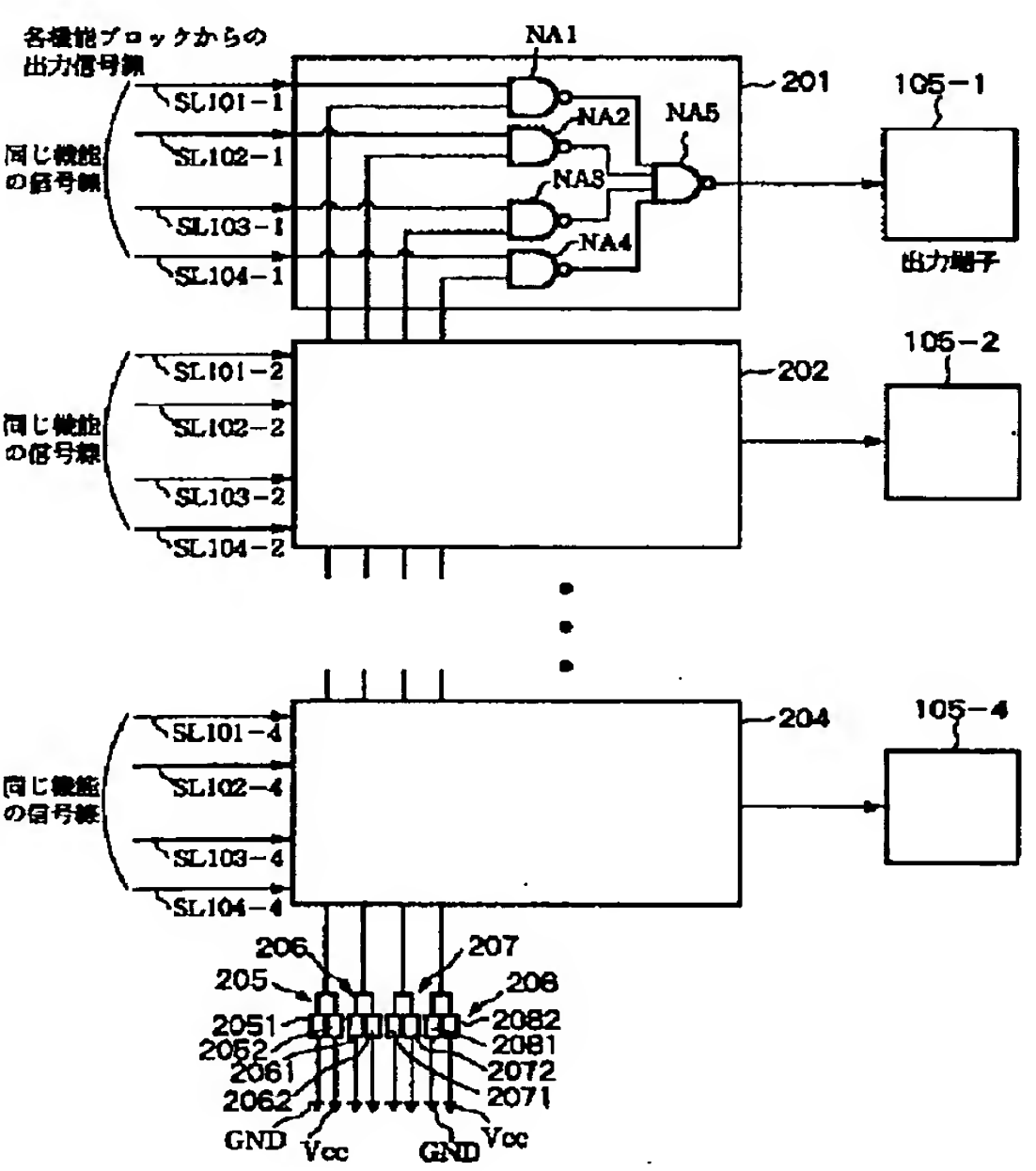
【解決手段】 一つの半導体チップ100内に同一機能の回路ブロック101~104を複数配置し、それぞれの回路ブロック101~104からの信号線を選択するセクタ201~204を設ける。これにより、チップ100内の少なくとも一つの回路ブロックが動作すれば他の回路ブロックは不良であってもそのチップとしては良品とすることができる。

【産業上の利用分野】 本発明は、半導体装置に係り、特に、一つの半導体チップ内に複数の回路ブロックを複数配置し、半導体の製造工程における理論収率向上を図るための技術に関するものである。

【特許請求の範囲】

【請求項1】 一つの半導体チップ内に同一機能を有する回路ブロックを複数配置し、それぞれの回路ブロックからの信号線を選択する手段を有する半導体装置。

【請求項2】 複数の同一機能を有する回路ブロックからの信号を選択する手段を有する請求項1記載の半導体



装置。
【請求項3】 複数の同一機能を有するの回路ブロックから良品となっている回路ブロックをパッドに選択信号

により選択的に接続するマルチプレクサと、当該選択信号を固定可能な手段とを有する請求項1記載の半導体装置。

【請求項4】 不良となった回路ブロックの電源ラインを切断可能な手段を有する請求項1記載の半導体装置。

【請求項5】 上記信号線を選択は、チップの検査段階で各回路ブロック毎に実施するスキャンテストにより有効な回路ブロックの判定に基づいて行う請求項1記載の半導体装置。

【請求項6】 一つの半導体チップ内に同一機能を有する回路ブロックを複数配置し、
それぞれの回路ブロックからの信号線を選択する手段を有し、

上記回路ブロックは、論理回路ブロックと、表示しようとする表示データを十分保持できるだけのメモリブロックを同一チップに内蔵し、上記論理回路ブロックへの入力部に、3次元グラフィックス描画プリミティブの1頂点分以上の大きさの入力バッファを有するレンダリング処理を行うグラフィックス描画装置を含む半導体装置。

【請求項7】 一つの半導体チップ内に同一機能を有する回路ブロックを複数配置し、
それぞれの回路ブロックからの信号線を選択する手段を有し、

上記回路ブロックは、単位図形の頂点について、3次元

座標 (x, y, z)、R (赤)、G (緑)、B (青) データ、テクスチャの同次座標 (s, t) および同次項 q を含むポリゴンレンダリングデータを受けてレンダリング処理を行うグラフィックス描画装置であって、

表示データと少なくとも一つの図形要素が必要とするテクスチャデータをメモリブロックと、

上記単位図形の頂点のポリゴンレンダリングデータを補間して、上記単位図形内に位置する画素の補間データを生成する補間処理回路ブロックと、上記補間データに含まれるテクスチャの同次座標 (s, t) を同次項 q で除算して「s/q」および「t/q」を生成し、上記「s/q」および「t/q」に応じたテクスチャアドレスを用いて、上記メモリブロックからテクスチャデータを読み出し、表示データの図形要素の表面へのテクスチャデータの張り付け処理を行うテクスチャ処理回路ブロックとを少なくとも備えた論理回路ブロックと、

上記論理回路ブロックの補間処理回路ブロックへのポリゴンレンダリングデータの入力部に、3次元グラフィックス描画プリミティブの1頂点分以上の大きさの入力バッファとを有し、
上記メモリブロック、論理回路ブロック、および入力バッファが一つの半導体チップ内に混載されているグラフィックス描画装置を含む半導体装置。

上記メモリブロック、論理回路ブロック、および入力バッファが一つの半導体チップ内に混載されているグラフィックス描画装置を含む半導体装置。

上記メモリブロック、論理回路ブロック、および入力バッファが一つの半導体チップ内に混載されているグラフィックス描画装置を含む半導体装置。

【図面の簡単な説明】

【図1】 本発明に係る半導体装置の一実施形態の概略構成を説明するためのブロック図である。

【図2】 本発明に係る回路ブロックにおける信号の出力端子に関して処理する構成例を示す図である。

【図3】 本発明に係る回路ブロックにおける信号の入出力端子に関して処理する構成例を示す図である。

【図4】 本発明に係る回路ブロックとしてのレンダリング回路が採用される3次元コンピュータグラフィックスシステムのシステム構成図である。

【図5】 図4のレンダリング回路の要部ブロックのレイアウトを示す図である。

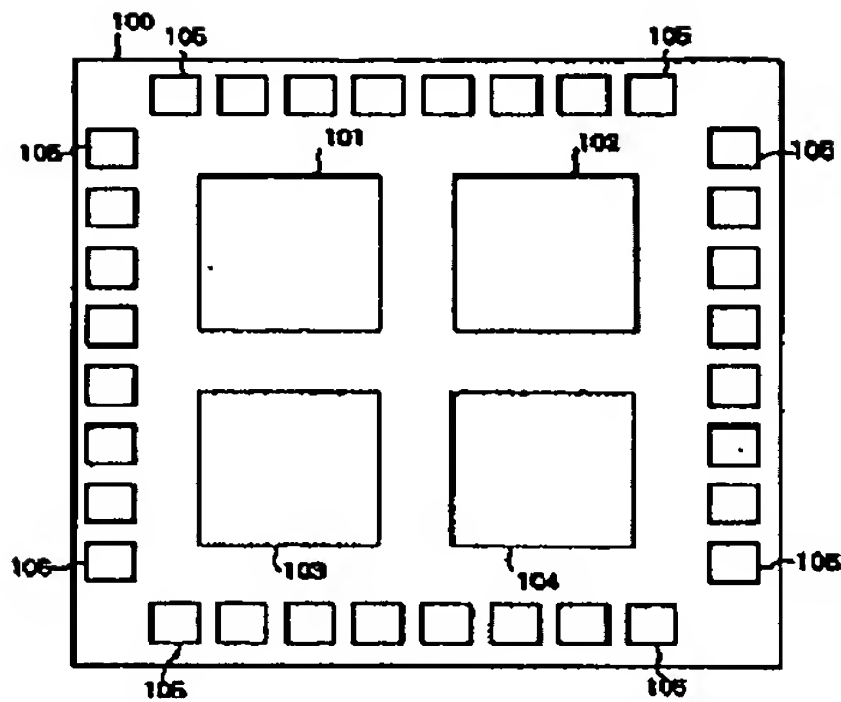
【図6】 図4のレンダリング回路のDRAMへの表示データと奥行きデータおよびテクスチャデータの格納方法を概念的に説明するための図である。

【図7】 2×8移動打ち込み (Moving Stamp) 処理を説明するための図である。

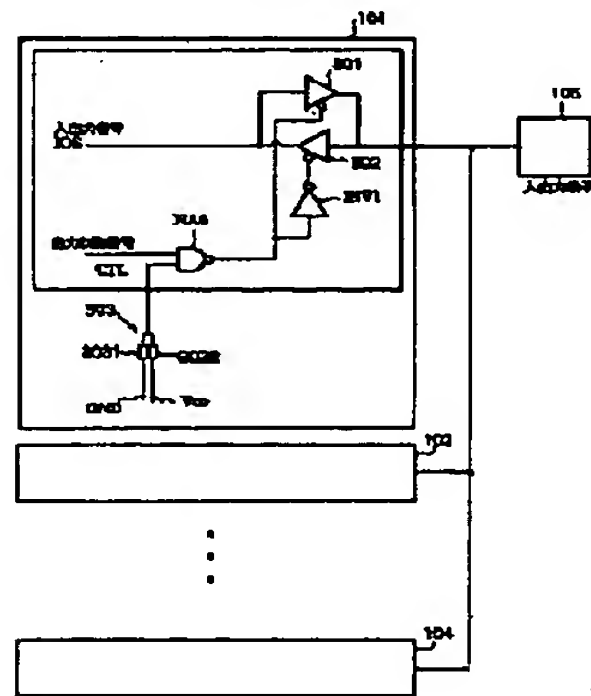
【符号の説明】

100…半導体チップ、101～104…回路ブロック、105、105-1～105-4…パッド、201～205…セクタ、205～208…フューズ部、2051～2081…第1フューズ、2052～2082…第2フューズ、301、303…制御ゲート、303…フューズ部、3031…第1フューズ、3032…第2フューズ、NA1…NA6…NANDゲート、INV1…インバータ、400…3次元コンピュータグラフィックスシステム、401…メインプロセッサ、402…メインメモリ、403…I/Oインタフェース回路、404…レンダリング回路、4043…DDAセットアップ回路、4044…トライアングルDDA回路、4045…テクスチャエンジン回路、4046…メモリI/F回路、4047…CRTコントローラ回路、4048…RAMDAC回路、4049…DRAM、4049a…テクスチャバッファ、4049b…ディスプレイバッファ、4049c…zバッファ、4049d…テクスチャCLUTバッファ、4050…SRAM。

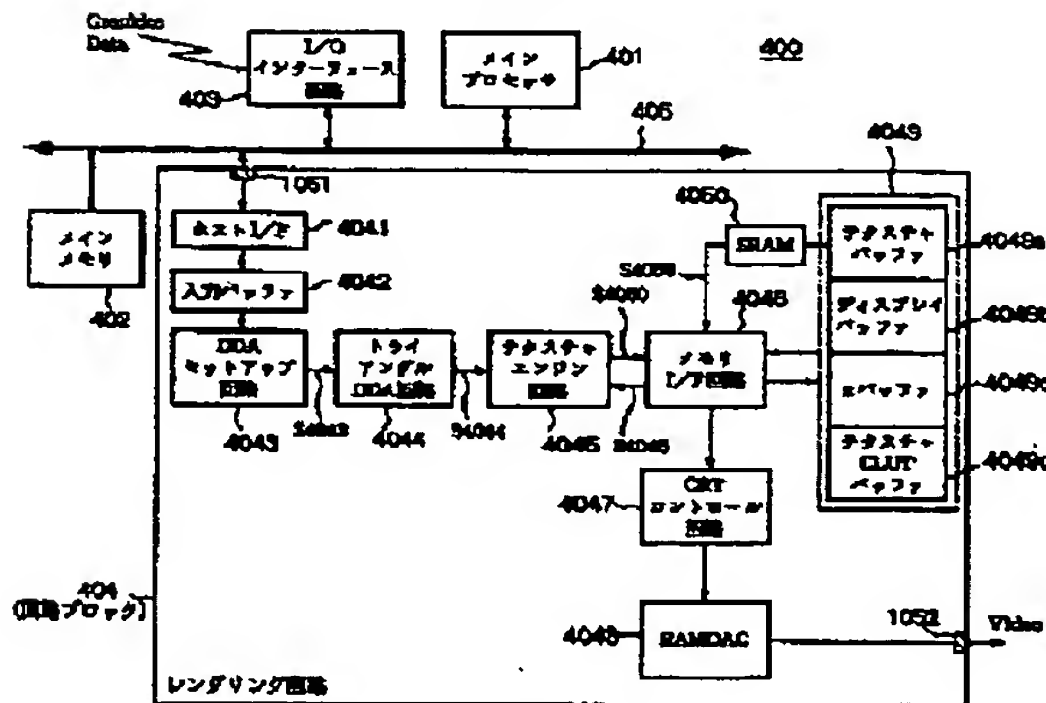
【図1】



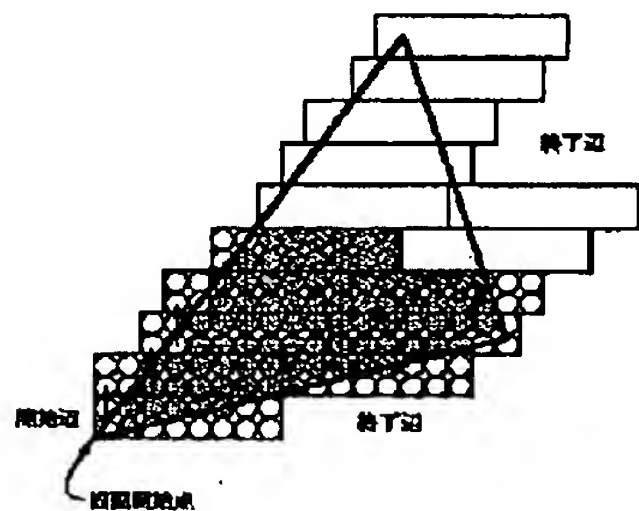
【図3】



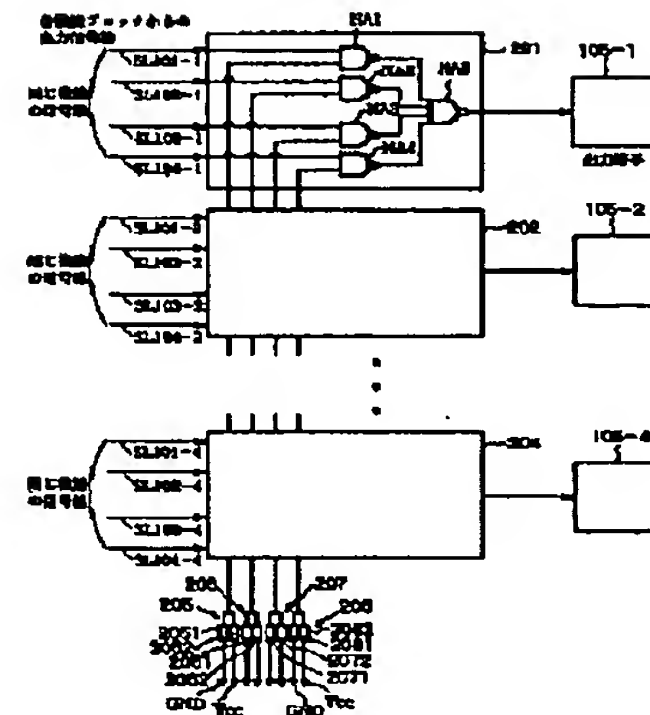
【図4】



【図7】



【図2】



【第1ページ書誌事項の続き】

(51) Int. Cl. ⁷	識別記号	FI	テーマコード (参考)
H01L 21/822		H01L 27/04	E 5F064
Fターム (参考)	5B057 CA13 CA16 CB13 CB16 CE20 CH01 CH07		
	5B080 AA13 CA00 FA02 FA16 GA22		
	5F038 AV15 BE04 BE07 DF01 DF05 DF11 DF16 DT18 EZ20		
	5F064 DD13 EE27 FF02 FF27 FF36 HH10 HH12 HH14		